

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Katsuaki MATSUI et al. : Docket No. 1570/1820-U
Serial No. : Group Art Unit
Filed January 27, 1998 : Examiner
METHOD AND DEVICE FOR
GENERATING CONSTANT VOLTAGE

U.S. PTO
09/014401
01/27/98

#7
PRIORITY
Paper
6-6-03
Rstruck

CLAIM OF PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents,
Washington, D.C.

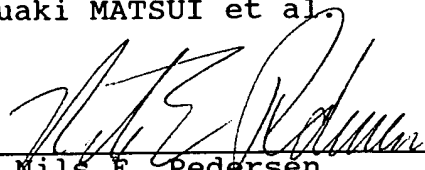
Sir:

Applicants in the above-entitled application, by their attorney, hereby claim the priority date under the International Convention of Japanese Application No. 9-063031, filed March 17, 1997, as acknowledged in the Declaration of the subject application. A certified copy of the Japanese application is submitted herewith.

Respectfully submitted,

Katsuaki MATSUI et al.

By


Nils E. Pedersen
Registration No. 33,145
Attorney for Applicants

NEP/knw
WENDEROTH, LIND & PONACK
Washington, D.C.
Telephone (202) 371-8850
January 27, 1998

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEE FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975..

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

jc518 U.S. PTO
09/014401
01/27/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1997年 3月17日

出 願 番 号
Application Number:

平成 9年特許願第063031号

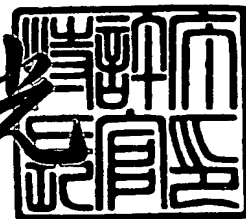
出 願 人
Applicant (s):

沖電気工業株式会社

1997年10月31日

特 許 庁 長 官
Commissioner,
Patent Office

荒井寿光



出証番号 出証特平09-3088180

【書類名】 特許願

【整理番号】 KN-1877

【提出日】 平成 9年 3月17日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 G06F 1/26
G11C 11/34

【発明の名称】 定電圧発生回路

【請求項の数】 9

【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式
 会社内
 【氏名】 松井 克晃

【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式
 会社内
 【氏名】 関野 芳正

【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
 【代表者】 澤村 紫光

【代理人】
 【識別番号】 100090620
 【弁理士】
 【氏名又は名称】 工藤 宣幸
 【電話番号】 03(3981)8899

【手数料の表示】
 【予納台帳番号】 013664
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 定電圧発生回路

【特許請求の範囲】

【請求項1】 出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、上記出力回路が出力する電位を一定に制御する定電圧発生回路において、

上記所定の基準電位より、波長の短い変動成分を除去する低域通過特性回路を備えることを特徴とする定電圧発生回路。

【請求項2】 出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、上記出力回路が出力する電位を一定に制御する定電圧発生回路において、

上記差動増幅回路から上記出力回路に与えられる制御信号より、波長の短い変動成分を除去する低域通過特性回路

を備えることを特徴とする定電圧発生回路。

【請求項3】 出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、上記出力回路が出力する電位を一定に制御する定電圧発生回路において、

差動増幅回路の両入力端に電氣的に接続され、上記所定の基準電位より、波長の短い変動成分を上記入力端の一端側から抽出し、抽出された変動成分を、上記入力端の他端側に与える高域通過特性回路

を備えることを特徴とする定電圧発生回路。

【請求項4】 上記差動増幅回路の両入力端に電氣的に接続され、上記所定の基準電位より、波長の短い変動成分を上記入力端の一端側から抽出し、抽出された変動成分を、上記入力端の他端側に与える高域通過特性回路

を備えることを特徴とする請求項1又は2に記載の定電圧発生回路。

【請求項5】 上記低域通過特性回路又は上記高域通過特性回路の通過特性は可変である

ことを特徴とする請求項1～4のいずれかに記載の定電圧発生回路。

【請求項6】 上記低域通過特定回路は、信号線路に対して直列に接続された抵抗手段と、信号線路と接地電位間に接続された容量手段とからなることを特徴とする請求項1、2、4又は5に記載の定電圧発生回路。

【請求項7】 上記低域通過特性回路は、信号線路に対して直列に接続された抵抗手段からなることを特徴とする請求項1、2、4又は5に記載の定電圧発生回路。

【請求項8】 上記低域通過特定回路は、信号線路と接地電位間に接続された容量手段とからなることを特徴とする請求項1、2、4又は5に記載の定電圧発生回路。

【請求項9】 上記高域通過特性回路は、上記差動増幅回路が有する2つの差動入力端のそれぞれに各電極が接続された容量からなることを特徴とする請求項3、4又は5に記載の定電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、定電圧回路に関し、例えば、DRAM用の定電圧発生回路に適用し得るものである。

【0002】

【従来の技術】

まず、図2に基づいて、従来用いられている定電圧発生回路の構成及びその動作を説明する。

【0003】

図2に示す定電圧発生回路は、基準電位発生回路A1と、差動増幅回路A2と、負帰還回路A3と、出力回路A4とから構成されている。

【0004】

ここで、定電圧発生回路A1は、所定の基準電位 V_{ref} を第6のノードN $_{ref}$ に発生する回路である。差動増幅回路A2は、負帰還回路A3の出力である帰還電位 V_3 と基準電位 V_{ref} との差分を検出し、増幅する回路である。負帰還回路A3は、出力回路A4から出力される出力電位 V_{out} を分圧し、差動増幅回路A

2の一方の入力端へ与える回路である。出力回路A4は、差動増幅回路A2の出力である第2のノードN2の電位 V_2 に応じた電位 V_{out} を出力ノードNoutに発生する回路である。

【0005】

以上の構成により、図2に示す定電圧発生回路は、出力ノードNoutの電位 V_{out} を抵抗分圧して得られた電位 V_3 と上記基準電位 V_{ref} との電位差を上記差動増幅回路A2において検出し、 $V_3 < V_{ref}$ の場合、PMOSトランジスタMP3のゲート電位を下げることで V_{out} の電位を上げ、逆に、 $V_3 > V_{ref}$ の場合、PMOSトランジスタMP3のゲート電位を上げることで V_{out} の電位を下げることにより、出力ノードNoutの電位 V_{out} を基準電位 V_{ref} の $R_2 + R_3 / R_3$ 倍に保つようになっている。

【0006】

なおここで、定電圧発生回路を構成するこれら回路A2～A4は、それぞれ次のように構成されている。

【0007】

差動増幅回路A2は、カレントミラー回路を構成するPMOSトランジスタMP1、MP2と、差動対を構成するNMOSトランジスタMN1、MN2と、電流源I1とで構成されている。

【0008】

ここで、カレントミラーを構成するPMOSトランジスタMP1のゲート及びドレインは第1のノードN1に接続されており、ソースは電源電位 V_{cc} に接続されている。他方、PMOSトランジスタMP2のゲートは第1のノードN1に接続され、ドレインは第2のノードN2に接続され、ソースは電源電位 V_{cc} に接続されている。

【0009】

また、差動対を構成するNMOSトランジスタMN1のゲートは第3のノードN3に接続され、ドレインが第1のノードN1に接続され、ソースは第4のノードN4に接続されている。一方、NMOSトランジスタMN2のゲートは第6のノードNrefに接続され、ドレインは第2のノードN2に接続され、ソースは上

記第4のノードN4に接続されている。なお、定電流源I1は、第4のノードN4と接地電位Vssとの間に接続されている。

【0010】

負帰還回路A3は、出力ノードNoutと接地電位Vssとの間に直列接続された抵抗R2と抵抗R3とからなる。ここで、負帰還回路A3は、当該抵抗R2及びR3の接続中点である第3のノードN3に、出力ノードNoutの電位Voutを抵抗分圧してなる電位V3を与えている。すなわち、負帰還回路A3は、出力ノードNoutの電位Voutの $R3 / (R2 + R3)$ 倍の電位 $V3 = Vout \cdot R3 / (R2 + R3)$ を発生し、これを第3のノードN3に与えている。

【0011】

出力回路A4は、PMOSトランジスタMP3と、定電流源I2と、キャパシタC1とからなる。ここで、PMOSトランジスタMP3のゲートは第2のノードN2に接続されており、ドレインは出力ノードNoutに接続されており、ソースは電源電位Vccに接続されている。また、定電流源I2は、出力ノードNoutと接地電位Vssとの間に接続されている。キャパシタC1は、第2のノードN2と出力ノードNoutとの間に接続されている。

【0012】

【発明が解決しようとする課題】

ところが、かかる構成の定電圧発生回路の場合には、定電源回路A1の動作周波数よりも波長の短いノイズが基準電位Vrefに重畳が生じると、出力ノードNoutの電位Voutに発振が生じるおそれがあった。

【0013】

(A) 波長の長い単発ノイズが重畳した場合

ここではまず、図3を用いて、基準電位Vrefに波長の長いノイズが重畳した場合に生じる定電圧発生回路の動作を説明する。なお、NMOSトランジスタの閾値電圧を V_{tn} 、PMOSトランジスタの閾値電圧を V_{tp} とする。

【0014】

まず、時刻T0における各ノードN1～N4の電位は、次のようになっている。第1のノードN1の電位V1は、 $V_{cc} - V_{tp} - \alpha$ になっている。第2のノード

N2の電位 V_2 は、 $V_{cc} - V_{tp} - \alpha$ になっている。第3のノードN3の電位 V_3 は、 V_{ref} になっている。出力ノードの電位 V_{out} は、 $V_{ref} \cdot (R_2 + R_3) / R_3$ になっている。

【0015】

やがて、時刻T1において、基準電位 V_{ref} の電位がノイズの重畳により上昇が開始すると、各ノードの電位は次のようになる。ゲートが第6のノードNrefに接続されたNMOSトランジスタMN2を介し、第2のノードN2から接地電位 V_{ss} に流れる電流が増加する。

【0016】

次に、時刻T2では、次のようになる。第2のノードN2から接地電位 V_{ss} に流れる電流はさらに増加する。これにより、第2のノードN2の電位が下降し、ゲートが第2のノードN2に接続されたPMOSトランジスタMP3を介し、電源電位 V_{cc} から出力ノードNoutに流れる電流が増加する。この時、第2のノードN2の電位が下降する速度は、第1のキャパシタC1の容量値に依存し、容量値が大きい場合には下降速度が遅く、容量値が小さい場合には降下速度が速くなる。

【0017】

次の時刻T3では、次のようになる。電源電位 V_{cc} から出力ノードNoutに流れる電流が増加することにより、出力ノードNoutの電位 V_{out} が上昇する。この時の電位 V_{out} の上昇は、負帰還回路A3により、第3のノードN3に与えられる電位 $V_3 = V_{out} \cdot R_3 / (R_2 + R_3)$ が、基準電位 V_{ref} と等しくなるまで続く。

【0018】

そして、時刻T4において、基準電位 V_{ref} の電位が下降し始めると、差動増幅回路A2及び負帰還回路A3は、時刻T1の時と逆に働くことにより、電位 V_{out} 及び V_3 も下降し始める。やがて、その電位は、一定電位に落ち着く。このように、ノイズによる電圧変動が比較的長周期である場合には、基準電位 V_{ref} による変動に追従して出力電位 V_{out} も変動するものの、その電位変動はノイズ変動の収束と同時に収束する。

【0019】

(B) 波長の短い単発ノイズが重畳した場合

ところで、出力ノードN_{out}の電位V_{out}の上昇により第3のノードの電位V₃が上昇を開始する時刻T₃は、第2のノードN₂の電位の下降速度、すなわち第1のキャパシタC₁の容量値に依存する。一方で、基準電位V_{ref}に生じるノイズの波長は、第1のキャパシタC₁の容量値に無関係に短くなり得るため、基準電位が下降し始める時刻T₄がこの時刻T₃と同定度又はT₃より早くなることがある。ここでは、このような場合を、基準電位V_{ref}に重畳するノイズの波長が短い場合であるとして、そのような場合の動作を図4に示す。

【0020】

図4は、第3のノードの電位V₃の上昇開始時刻であるT₃が、基準電位V_{ref}の下降開始される時刻T₄と同じ場合を表した図である。なお、時刻T₀から時刻T₃までの動作は図3の場合と同じであるので、ここでは、時刻T₄（すなわち、時刻T₅）から説明する。

【0021】

時刻T₅では、第3のノードN₃の電位上昇によりゲートが第3のノードN₃に接続されたNMOSトランジスタMN₁を介し第1のノードN₁から接地電位V_{ss}に流れる電流が増加する。また、一方で基準電位V_{ref}の下降によりNMOSトランジスタMN₂を介し第2のノードN₂から接地電位V_{ss}に流れる電流が減少する。

【0022】

時刻T₆では、第1のノードN₁から接地電位V_{ss}に流れる電流の増加により、第1のノードN₁の電位V₁が下降し、第1のノードN₁の電位下降により、PMOSトランジスタMP₁を介し電源電位V_{cc}から第1ノードN₁に流れる電流とPMOSトランジスタMP₂を介し電源電位V_{cc}から第2のノードN₂に流れる電流が増加する。その一方で、第2のノードN₂から接地電位V_{ss}に流れる電流の減少により第2のノードN₂の電位V₂が上昇し、第2のノードN₂の電位上昇によりPMOSトランジスタMP₃を介し電源電位V_{cc}から出力ノードN_{out}に流れる電流が減少する。

【0023】

時刻T7では、電源電位 V_{cc} から第1のノードN1に流れる電流の増加により第1のノードN1の電位下降は止まり、電源電位 V_{cc} から第2のノードN2に流れる電流の増加により第2のノードN2の電位 V_2 はさらに上昇し、第2のノードN2の電位上昇によりPMOSトランジスタMP3を介し電源電位 V_{cc} から出力ノードNoutに流れる電流がさらに減少する。また一方で、電源電位 V_{cc} から出力ノードNoutに流れる電流の減少により出力ノードNoutの電位 V_{out} と第3のノードN3の電位 V_3 が下降し、第3のノードN3の電位下降により、NMOSトランジスタMN1を介し第1のノードN1から接地電位 V_{ss} に流れる電流が減少する。

【0024】

時刻T8では、時刻T7に生じた電源電位 V_{cc} から出力ノードNoutに流れる電流の減少により出力ノードNoutの電位 V_{out} と第3のノードN3の電位 V_3 がさらに下降し、第3のノードN3の電位下降によりNMOSトランジスタMN1を介し第1のノードN1から接地電位 V_{ss} に流れる電流がさらに減少する。また、第1のノードN1から接地電位 V_{ss} に流れる電流の減少により第1のノードN1の電位 V_1 が上昇し、第1のノードN1の電位上昇によりPMOSトランジスタMP1を介し電源電位 V_{cc} から第1ノードN1に流れる電流と、PMOSトランジスタMP2を介し電源電位 V_{cc} から第2のノードN2に流れる電流が減少する。

【0025】

時刻T9では、電源電位 V_{cc} から第2のノードN2に流れる電流の減少により第2のノードN2の電位 V_2 は降下し、第2のノードN2の電位下降により、PMOSトランジスタMP3を介し電源電位 V_{cc} から出力ノードNoutに流れる電流が増加する。また、時刻T8に生じた電源電位 V_{cc} から第1のノードN1に流れる電流の減少により第1のノードN1の電位上昇は一旦止まり、第1のノードN1から接地電位 V_{ss} に流れる電流の減少により再度上昇する。また、第1のノードN1の電位上昇により、PMOSトランジスタMP1を介し電源電位 V_{cc} から第1のノードN1に流れる電流とPMOSトランジスタMP2を介し電源電位

V_{cc} から第2のノードN2に流れる電流がさらに減少する。

【0026】

時刻T10では、電源電位 V_{cc} から出力ノードNoutに流れる電流の増加により出力ノードNoutの電位 V_{out} と第3のノードN3の電位 V_3 が上昇し、第3のノードN3の電位上昇により、NMOSトランジスタMN1を介し第1のノードN1から接地電位 V_{ss} に流れる電流が増加する。また電源電位 V_{cc} から第1のノードN1に流れる電流の減少により第1のノードN1の電位上昇は止まり、電源電位 V_{cc} から第2のノードN2に流れる電流の減少により第2のノードN2の電位 V_2 はさらに下降する。このとき、第2のノードN2の電位下降が時刻T2における電位下降よりも大きくなると、上記T2以降の動作が電位振幅を拡大して繰り返され、出力ノードNoutの電位 V_{out} は、図4の動作波形のように発振波形となる。

【0027】

(C) 発振を抑制する方法

かかる出力電位 V_{out} の発振を防ぐためには、第1のキャパシタC1の容量を増加させることで、第2のノードN2の電位上昇（又は、下降）に伴い、出力ノードNoutに発生する第1のキャパシタC1の放電電流（又は、充電電流）を増加させれば良い。

【0028】

この場合、第1のキャパシタC1の時間あたりの放電電流（又は、充電電流）は基準電位に生じたノイズが短波長である程大きくなる。従って、基準電位 V_{ref} に生じたノイズが短波長の場合、時刻T3に生じる電源電位 V_{cc} から電力電位への電流の増加（又は、減少）が第1のキャパシタC1の放電電流（又は、充電電流）で補償され、出力ノードNoutの電位上昇（又は、下降）又は出力ノードの電位上昇（又は、下降）に伴う第2のノードN2の電位上昇（又は、下降）を抑えることができ、出力ノードの発振を防ぐことができる。

【0029】

しかしながら、第1のキャパシタC1の容量を増加させた場合でも以下のような場合には、やはり問題が生じる。

【0030】

(D) 波長の短い連続波ノイズが重畳した場合

第1のキャパシタC1の容量が十分に大きく、基準電位Vrefに重畳するノイズが短波長で連続している場合の動作を図5の動作波長を用いて説明する。

【0031】

まず、時刻T1に基準電位Vrefが上昇すると、それを受けて、NMOSトランジスタMN2を介し第2のノードN2から接地電位Vssに流れる電流が増加する。

【0032】

時刻T2には、第2のノードN2から接地電位Vssに流れる電流の増加により第2のノードN2の電位V2が下降し、第2のノードN2の電位下降によりPMOSトランジスタMP3を介し電源電位Vccからの出力ノードNoutに流れる電流が増加する。また一方で、第2のノードN2の電位下降により出力ノードNoutから第1のキャパシタC1への充電電流が生じる。

【0033】

次の時刻T3には、PMOSトランジスタMP3を介し電源電位Vccから出力ノードNoutに流れる電流の増加により出力ノードNoutの電位Voutと第3のノードN3の電位V3が上昇するが、同時に、出力ノードNoutから第1のキャパシタC1への充電電流が生じるため、第1のキャパシタC1の容量が大きい場合の出力ノードNoutの電位上昇と第3のノードN3の電位上昇は第1のキャパシタC1の容量が小さい場合に比べ微小なものになり、その結果、NMOSトランジスタMN1を介し第1のノードN1から接地電位Vssに流れる電流の増加と、以下に続く時刻T4、時刻T5での電流の増減は全て微小なものとなる。

【0034】

時刻T4には、第1のノードN1から接地電位Vssに流れる電流の増加により第1のノードN1の電位V1が下降し、ノードN1の電位下降によりPMOSトランジスタMP2を介し電源電位Vccから第2のノードN2へ流れる電流が増加する。

【0035】

時刻T5には、電源電位Vccから第2のノードN2へ流れる電流の増加により第2のノードN2の電位が上昇するが、前述したように、時刻T4で生じる電源電位Vccから第2のノードN2へ流れる電流の増加は小さいため、第2のノードN2の電位上昇速度は遅くなる。従って、基準電位Vrefに生じるノイズが短波長で連続している場合には、第2のノードN2の電位が時刻T1の時の電位に戻る前に再度基準電位Vrefが上昇を始めることがある。この場合、前述の動作が繰り返された結果、第2のノードN2の電位が時刻T0の時の電位よりも低下し、第2のノードN2の電位低下により、出力ノードの電位が上昇することになる。

【0036】

【課題を解決するための手段】

かかる課題を解決するため、第1の発明においては、出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、出力回路が出力する電位を一定に制御する定電圧発生回路において、以下の手段を備えるようにする。

【0037】

すなわち、所定の基準電位より、波長の短い変動成分を除去する低域通過特性回路を備えるようにする。

【0038】

この第1の発明によれば、基準電位に波長の短い変動成分が重畳していても、差動増幅回路には当該変動成分が入力されないようにできるので、当該変動成分に起因した発振現象を生じ難くできる。

【0039】

また、第2の発明においては、出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、出力回路が出力する電位を一定に制御する定電圧発生回路において、以下の手段を備えるようにする。

【0040】

すなわち、差動増幅回路から出力回路に与えられる制御信号より、波長の短い変動成分を除去する低域通過特性回路を備えるようにする。

【0041】

この第2の発明によれば、出力回路に与えられる制御信号に波長の短い変動成分が重畳していても、出力回路には当該変動成分が入力されないようにできるので、当該変動成分に起因した発振現象を生じ難くできる。

【0042】

さらに、第3の発明においては、出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、上記出力回路が出力する電位を一定に制御する定電圧発生回路において、以下の手段を備えるようにする。

【0043】

すなわち、差動増幅回路の両入力端に電氣的に接続され、上記所定の基準電位より、波長の短い変動成分を上記入力端の一端側から抽出し、抽出された変動成分を、上記入力端の他端側に与える高域通過特性回路を備えるようにする。

【0044】

この第3の発明によれば、差動増幅回路の両入力端子に、波長の短い変動成分が同相入力されることになるので、当該変動成分による影響が相殺されることになる。従って、当該変動成分に起因した発振現象を生じ難くできる。

【0045】

【発明の実施の形態】

(A) 第1の実施形態

以下、本発明に係る定電圧発生回路の第1の実施形態を図面に基づいて説明する。

【0046】

(A-1) 第1の実施形態の構成

図1は、第1の実施形態に係る定電圧発生回路の構成を表した接続例である。
なお、図1では、従来回路との相違点が明確になるように、図2の回路構成を基

本構成として表している。すなわち、第1の実施形態に係る定電圧発生回路は、図2の回路構成にローパスフィルタA5を加えたことを特徴とするものである。

【0047】

従って、定電圧発生回路A1は、所定の基準電位 V_{ref} を第6のノードNrefに発生する回路である。差動増幅回路A2は、負帰還回路A3の出力である帰還電位 V_3 と基準電位 V_{ref} との差分を検出し、増幅する回路である。負帰還回路A3は、出力回路A4から出力ノードNoutに与えられる出力電位 V_{out} を分圧し、差動増幅回路A2の一方の入力端へ与える回路である。出力回路A4は、差動増幅回路A2の出力である第2のノードN2の電位 V_2 に応じた電位 V_{out} を出力ノードNoutに発生する回路である。

【0048】

なお、この実施形態の場合、ローパスフィルタA5は、第6のノードNref及び第5のノードN5の間に直列に接続された抵抗 R_4 と、第5のノードN5と接地電位 V_{ss} 間に接続されたキャパシタC2とで構成されているものとする。勿論、ローパスフィルタA5の構成としては、他の回路構成のものを適用することも可能である。

【0049】

(A-2) 第1の実施形態の動作

次に、第1の実施形態に係る定電圧発生回路が、基準電位発生回路A1が発生する基準電位 V_{ref} に電位変動があった場合にどのような動作をするかについて説明する。以下、図6を用いて説明する。

【0050】

(A-2-1) ノイズが重畳していない場合

まず、基準電位 V_{ref} にノイズが重畳していない場合の動作を説明する。

【0051】

この場合、図1に示す定電圧発生回路は、出力ノードNoutの電位 V_{out} を抵抗分圧して得られた電位 V_3 と基準電位発生回路A1から与えられる基準電位 V_{ref} との電位差を差動増幅回路A2において検出し、 $V_3 < V_{ref}$ の場合、PM

OSトランジスタMP3のゲート電位を下げることで V_{out} の電位を上げ、逆に、 $V_3 > V_{ref}$ の場合、PMOSトランジスタMP3のゲート電位を上げることで V_{out} の電位を下げることにより、出力ノードNoutの電位 V_{out} を基準電位 V_{ref} の $R_2 + R_3 / R_3$ 倍に保つよう動作する。

【0052】

(A-2-2) 波長の長い単発ノイズが重畳した場合

次に、基準電位 V_{ref} に波長が長い単発ノイズが重畳した場合の動作を説明する。これは図6(A)の場合の動作である。

【0053】

さて、時刻T1において、基準電位 V_{ref} がノイズの影響により徐々に上昇が開始されるものとする、基準電位 V_{ref} と第5のノードとの間に生じる電位差に基づいた電流が、抵抗 R_4 から第5のノード側へ流れ始める。ただし、この電流の変化は、波長が長いので、第2のキャパシタC2の充電に使用される。

【0054】

時刻T2では、時刻T1から開始された第2のキャパシタC2の充電に伴い、第5のノードの電位が上昇を開始する。因みに、ここで、第5のノードの電位上昇速度は、抵抗 R_4 の抵抗値とキャパシタC2の容量値によって定まる時定数 τ に依存する。

【0055】

このように、第5のノードの電位が上昇を始めると、第3のノードN3の電位 V_3 との間に電位差が生じ、これに見合った分だけ、第2のノードN2からNチャンネルトランジスタMN2を介して接地電位 V_{ss} に流れる電流が増加する。これにより、第2のノードN2の電位が下降し、ゲートが第2のノードN2に接続されたPMOSトランジスタMP3を介し、電源電位 V_{cc} から出力ノードNoutに流れる電流が増加するようになる。ここで、第2のノードN2の電位が下降する速度は、第1のキャパシタC1の容量値に依存し、容量値が大きい場合には下降速度が遅く、容量値が小さい場合には降下速度が速くなる。

【0056】

すると、今度は、電源電位 V_{cc} から出力ノードNoutに流れる電流が増加する

ことにより、出力ノードNout の電位Vout が上昇し、同時に、負帰還回路A3 を介して、第3のノードN3に与えられる電位 $V_3 = V_{out} \cdot R_3 / (R_2 + R_3)$ の上昇が開始される。この第3のノードN3の電位V3は、差動対を構成する他方の入力電位、すなわち、第5のノードN5の電位V5と同じになるように追従して上昇を開始する。ただし、PチャネルMOSトランジスタMP3から出力ノードNout へ流れ出す電流はやがて飽和するため、出力ノードNout の電位Vout は一定電位に達した後は、一定電位を推移する。

【0057】

やがて、時刻T3になると、基準電位Vref が上昇から下降に転じる。すると、今度は、第5のノードN5側の電位V5が基準電位Vref よりも高くなるので、第5のノードN5から第6のノードNref の方向にキャパシタC2の放電電流が流れ始める。

【0058】

時刻T4では、第5のノードN5の電位V5が下降を開始する。この第5のノードN5の電位下降速度は、前述したように、第2のキャパシタC2の容量値と抵抗R4の抵抗値によって定まる時定数 τ に依存し、第2のキャパシタC2の容量値又は抵抗R4の抵抗値が大きい場合には遅く、第2のキャパシタC2の容量値及び抵抗R4の抵抗値が小さい場合には速くなる。

【0059】

このように、基準電位Vref に重畳するノイズの波長が長い場合には、その変化がローパスフィルタA5を介して第5のノードN5に伝搬し、基準電位Vref とほぼ等しい電位の変化となって現れることになる。

【0060】

従って、出力ノードNout の電位Vout の電位変動は、緩やかな変動で済み、しかも、その変動は単発的な変動で終わる。

【0061】

(A-2-3) 波長の短い単発ノイズが重畳した場合

続いて、基準電位Vref に波長が短い単発ノイズが重畳した場合の動作を説明する。なお、これは図6(B)の場合の動作である。

【0062】

さて、この場合には、基準電位 V_{ref} に重畳するノイズの波長が短いため、当該ノイズによる電位変動は、第2のキャパシタ C_2 及び抵抗 R_4 によって構成されるローパスフィルタ A_5 をほとんど通過することはできない。すなわち、基準電位 V_{ref} の変動にかかわらず、第5のノード N_5 の電位 V_5 はほとんど一定のままとなる。

【0063】

従って、第1のノード N_1 ～第3のノード N_3 の各電位 V_1 ～ V_3 及び出力ノード N_{out} の電位 V_{out} の電位は、一定状態を維持することになる。すなわち、従来回路のような短波長のノイズの重畳に起因した発振等の電位変動のおそれはない。

【0064】

(A-2-4) 波長の短い連続ノイズが重畳した場合

この場合については、いずれの従来回路も発振等の電位変動を回避し得なかったが、この実施形態に係る定電圧発生回路の場合には、ノイズが連続してもその波長が短い限り、差動増幅回路 A_2 の前段に設けられたローパスフィルタ A_5 によってその影響が遮断されるため、第5のノード N_5 の電位をほぼ一定に維持し続けることができる。

【0065】

従って、やはりこの場合にも、第1のノード N_1 ～第3のノード N_3 の各電位 V_1 ～ V_3 及び出力ノード N_{out} の電位 V_{out} の電位は、一定状態を維持することになる。すなわち、従来回路のような短波長のノイズの重畳に起因した発振等の電位変動のおそれはない。

【0066】

(A-3) 第1の実施形態の効果

以上のように、第1の実施形態によれば、基準電位発生回路 A_1 と差動増幅回路 A の間にローパスフィルタ A_5 を接続し、波長の短いノイズの影響による電位変動が差動増幅回路 A_2 の入力段に伝搬しないようにしたことにより、出力ノード N_{out} の発振又は電位変動を有効に防止し得る安定性の高い定電圧発生回路を

実現することができる。

【0067】

(B) 第2の実施形態

以下、本発明に係る定電圧発生回路の第2の実施形態を図面に基づいて説明する。

【0068】

(B-1) 第2の実施形態の構成

図7は、第2の実施形態に係る定電圧発生回路の構成を表した接続例である。なお、図7では、従来回路との相違点が明確になるように、図2の回路構成を基本構成として表している。すなわち、第2の実施形態に係る定電圧発生回路は、差動増幅回路A2の両入力端間に第3のキャパシタC3を有することを特徴とするものである。この第3のキャパシタC3は、第3のノードN3と第6のノードNrefの間に接続されており、波長の短いノイズに起因した電位変動に関しては、差動増幅回路A2の両入力端に印加するようになっている。

【0069】

なお、その他の回路A1～A4については、第1の実施形態の場合と同様である。すなわち、定電圧発生回路A1は、所定の基準電位Vrefを第6のノードNrefに発生する回路である。また、差動増幅回路A2は、負帰還回路A3の出力である帰還電位V3と基準電位Vrefとの差分を検出し、増幅する回路である。負帰還回路A3は、出力回路A4から出力ノードNoutに与えられる出力電位Voutを分圧し、差動増幅回路A2の一方の入力端へ与える回路である。出力回路A4は、差動増幅回路A2の出力である第2のノードN2の電位V2に応じた電位Voutを出力ノードNoutに発生する回路である。

【0070】

(B-2) 第2の実施形態の動作

続いて、第2の実施形態に係る定電圧発生回路の動作を説明する。以下、図8を用いて説明する。

【0071】

(B-2-1) ノイズが重畳していない場合

まず、基準電位 V_{ref} にノイズが重畳していない場合の動作を説明する。

【0072】

この場合、図7に示す定電圧発生回路は、出力ノード N_{out} の電位 V_{out} を抵抗分圧して得られた電位 V_3 と基準電位発生回路A1から与えられる基準電位 V_{ref} との電位差を差動増幅回路A2において検出し、 $V_3 < V_{ref}$ の場合、PMOSトランジスタMP3のゲート電位を下げることで V_{out} の電位を上げ、逆に、 $V_3 > V_{ref}$ の場合、PMOSトランジスタMP3のゲート電位を上げることで V_{out} の電位を下げることにより、出力ノード N_{out} の電位 V_{out} を基準電位 V_{ref} の $R_2 + R_3 / R_3$ 倍に保つよう動作する。

【0073】

(B-2-2) 波長の長い単発ノイズが重畳した場合

次に、基準電位 V_{ref} に波長が長い単発ノイズが重畳した場合の動作を説明する。

【0074】

この場合、時間あたりに生じる基準電位 V_{ref} の変化が小さいため、基準電位 V_{ref} の変化に対して第3のキャパシタC3は高インピーダンス素子として見える。従って、その充放電電流は非常に小さいものであり、見かけ上、第3のキャパシタC3は回路上に存在しないのと同じである。

【0075】

このため、図8(a)に示すように、ノイズの影響により基準電位 V_{ref} が上昇すると、第2のノード N_2 の電位 V_2 の低下が生じ、続いて、出力ノード N_{out} の電位 V_{out} の上昇及び第3のノード N_3 の電位 V_3 の上昇が現れることになる。ただし、この電位変動は、第1の実施形態においても説明したように、単発の電位変動で終わるものである。

【0076】

従って、出力ノード N_{out} の電位 V_{out} の電位変動は、緩やかな変動で済み、しかも、その変動は単発的な変動で終わる。

【0077】

(B-2-3) 波長の短い単発ノイズが重畳した場合

次に、第1のキャパシタC1の容量が十分に大きく、基準電位Vrefに生じるノイズの波長が短い場合の動作を説明する。図8(b)がこの場合の動作波形図である。

【0078】

この場合、第3のキャパシタC3は、ノイズに起因した電位変動に対して低インピーダンス素子として機能するため、多くの充放電電流が流れることとなる。従って、抵抗R2を介して流れる電流よりも第3のキャパシタC3を介して供給される充放電電流の方が優勢となり、第3のノードN3の電位V3は、基準電位Vrefの変動と同相の関係で変動する。

【0079】

すなわち、基準電位Vrefが上昇すると、放電電流により第3のノードN3の電位V3が上昇し、その反対に、基準電位Vrefが降下すると、充電電流により第3のノードN3の電位V3が降下する。しかも、電位が上昇から降下へ（降下から上昇へ）と反転する点は、従来回路の場合のような時間遅れなく生じる。

【0080】

これにより、一時的に低下（増加）したNMOSトランジスタMN1又はPMOSトランジスタMP1及びPMOSトランジスタMP2の電流を、NMOSトランジスタMN2に流れるドレイン電流に流れる電流とほぼ同じになるように増加（減少）させることができる。

【0081】

従って、基準電位Vrefの上昇（降下）による第2のノードN2の電位変動は小さくなり、基準電位Vrefの電位変動が終了した時点には変動前の電位に安定する。以上より、出力ノードNoutの電位変動は、基準電位Vrefの電位変動波形を抑圧した単発の波形変動で終わらせることができる。

【0082】

（B-2-4）波長の短い連続ノイズが重畳した場合

この場合も、基本的な動作は、前項「（B-2-2）波長の短い単発ノイズが重畳した場合」と同様である。すなわち、基準電位Vrefの電位変動は、差動増幅回路A2の他方の入力端にも同相に入力され、連続波の1波ごとにその変動の

影響が収束するので、波長の短いノイズが連続して重畳しても変動が終わった時点における第6のノードN6の電位と第3のノードN3の電位は同じになる。

【0083】

従って、この場合にも、出力電位 V_{out} に発振等の電位変動を生じないようにできる。

【0084】

(B-3) 第2の実施形態の効果

以上のように、第2の実施形態によれば、第6のノードNrefと第3のノードN3との間に第3のキャパシタC3を接続したことにより、波長の短いノイズ（単発又は連続）が基準電位 V_{ref} に重畳して電位が上昇（下降）しても、これと同相の電位変動を第3のノードN3に現れるようにできる。これにより、第2のノードN2の電位変動を基準電位 V_{ref} に同期させることができ、基準電位 V_{ref} の変動終了後は、出力ノードNoutの電位 V_{out} を一定電位に安定させることができる。

【0085】

(C) 他の実施形態

(C-1) なお、上述の第1の実施形態においては、ローパスフィルタA5を基準電位発生回路A1と差動増幅回路A2の間に挿入する場合について述べたが、他の場所に挿入しても良い。例えば、差動増幅回路A2と出力回路A4の中間（すなわち、第2のノードN2）に設けても良い。このような場所にローパスフィルタA5を挿入しても、第2のノードN2の電位変動を小さく抑えることができるので、上述の実施形態と同様の効果を得ることができる。因みに、このローパスフィルタA5の挿入場所は、第6のノードN6上又は第2のノードN2のいずれか一方というのではなく、双方に設けても良い。

【0086】

(C-2) また、上述の第1の実施形態においては、基準電位 V_{ref} と差動増幅回路A2との間に抵抗R4とキャパシタC2からなるローパスフィルタA5を接続する場合について述べたが、同様の機能を実現すれば他の回路構成を採用しても良い。

【0087】

例えば、基準電位発生回路A1が高出力インピーダンスの回路である場合には、差動増幅回路A2の入力端子である第5のノードN5と接地電位Vssとの間にキャパシタC2を接続するだけの構成であっても良い。このようにしても、同等の効果が得られる。また、差動増幅回路A2の入力端子に寄生するキャパシタに対し十分大きい抵抗値を持つ抵抗を用いる場合には、基準電位発生回路A1と差動増幅回路A2との間に当該抵抗を直列に接続するだけで同等の効果が得られる。

【0088】

(C-3) さらに、上述の第1の実施形態においては、ローパスフィルタA5を受動素子にて構成したが、これに限られるものではなく、能動素子を用いて構成しても良い。

【0089】

(C-4) さらに、上述の第1の実施形態においては、ローパスフィルタA5を構成する素子として電気的特性が固定のものを用いる場合について述べたが、抵抗値や容量値として可変できるものを用いても良い。このようにすれば、回路素子の製造ばらつきによらず、一層安定した動作を確保できる。

【0090】

(C-5) さらに、上述の第2の実施形態においては、第3のキャパシタC3として容量値が固定のものを用いる場合について述べたが、これに限らず、容量値が可変型のものを用いれば、より最適化することができる。

【0091】

(C-6) さらに、上述の第2の実施形態においては、第3のキャパシタC3を介して基準電位Vrefに重畳している波長の短いノイズを取り出し、当該ノイズを、負帰還回路A3を介して帰還される電位V3に加算する場合について述べたが、第3のキャパシタC3に代えて、ハイパスフィルタを用いるようにしても良い。

【0092】

(C-7) さらに、上述の第1及び第2の実施形態においては、それぞれ別の実施形

態として説明したが、これらを組み合わせて定電圧発生回路を構成しても良い。

【0093】

この回路構成を図9に示す。この場合、ローパスフィルタA5の出力と差動増幅回路A2の入力とを接続する配線パターン上の一点に、第3のキャパシタC3の一方の電極を接続すれば良い。このようにすると、波長の短いノイズが重畳した場合における出力ノードNoutの電位をより一層安定に保つことができる。

【0094】

(C-8) さらに、上述の実施形態においては、出力ノードNoutの電位Voutを帰還回路A3により分圧して差動増幅回路A2に帰還する場合について述べたが、これに限らず、差動増幅回路A2に出力ノードNoutの電位Voutをそのまま帰還する場合にも適用し得る。

【0095】

(C-9) さらに、上述の第1及び第2の実施形態においては、差動対を構成するトランジスタをNチャネルMOSトランジスタMN1及びMN2とし、カレントミラー回路を構成するトランジスタをPチャネルMOSトランジスタMP1及びMP2とし、出力回路A4を構成するトランジスタをPチャネルMOSトランジスタMP3とする場合について述べたが、これらトランジスタの極性を逆極性とする回路構成の場合にも適用し得る。

【0096】

(C-10) さらに、上述の第1及び第2の実施形態においては、トランジスタをMOSトランジスタとする場合について述べたが、バイポーラトランジスタ等、他の種類のトランジスタを用いる場合にも適用し得る。

【0097】

【発明の効果】

上述のように、第1の発明によれば、出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、出力回路が出力する電位を一定に制御する定電圧発生回路に、所定の基準電位より、波長の短い変動成分を除去する低域通過特性回路を備える

ようにしたことにより、基準電位に重畳する波長の短い変動成分が差動増幅回路に入力されないようにでき、発振現象の生じ難い定電圧発生回路を実現できる。

【0098】

また、第2の発明によれば、出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、出力回路が出力する電位を一定に制御する定電圧発生回路に、差動増幅回路から出力回路に与えられる制御信号より、波長の短い変動成分を除去する低域通過特性回路を備えるようにしたことにより、出力回路に与えられる制御信号に波長の短い変動成分が重畳していても、出力回路には当該変動成分が入力されないようにでき、発振現象の生じ難い定電圧発生回路を実現できる。

【0099】

さらに、第3の発明によれば、出力回路から出力される電位又はそれに対応する電位と、基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、出力回路が出力する電位を一定に制御する定電圧発生回路に、差動増幅回路の両入力端に電氣的に接続され、所定の基準電位より、波長の短い変動成分を入力端の一端側から抽出し、抽出された変動成分を入力端の他端側に与える高域通過特性回路を備えるようにしたことにより、波長の短い変動成分による影響を相殺でき、発振現象の生じ難い定電圧発生回路を実現できる。

【図面の簡単な説明】

【図1】

第1の実施形態に係る定電圧発生回路の回路構成を示す接続図である。

【図2】

従来の定電圧発生回路の回路構成を示す接続図である。

【図3】

図2の回路において、基準電位に対して波長の長い単発の電位変動が重畳した場合の各部の電位変動を示す図である。

【図4】

図2の回路において、基準電位に対して波長の短い単発の電位変動が重畳した

場合の各部の電位変動を示す図である。

【図5】

図2の回路において、基準電位に対して波長の短い電位変動が連続的に重畳した場合の各部の電位変動を示す図である。

【図6】

図1の回路において、基準電位に対して単発の電位変動が重畳した場合の各部の電位変動を示す図である。

【図7】

第2の実施形態に係る定電圧発生回路の回路構成を示す接続図である。

【図8】

図7の回路において、基準電位に対して単発の電位変動が重畳した場合の各部の電位変動を示す図である。

【図9】

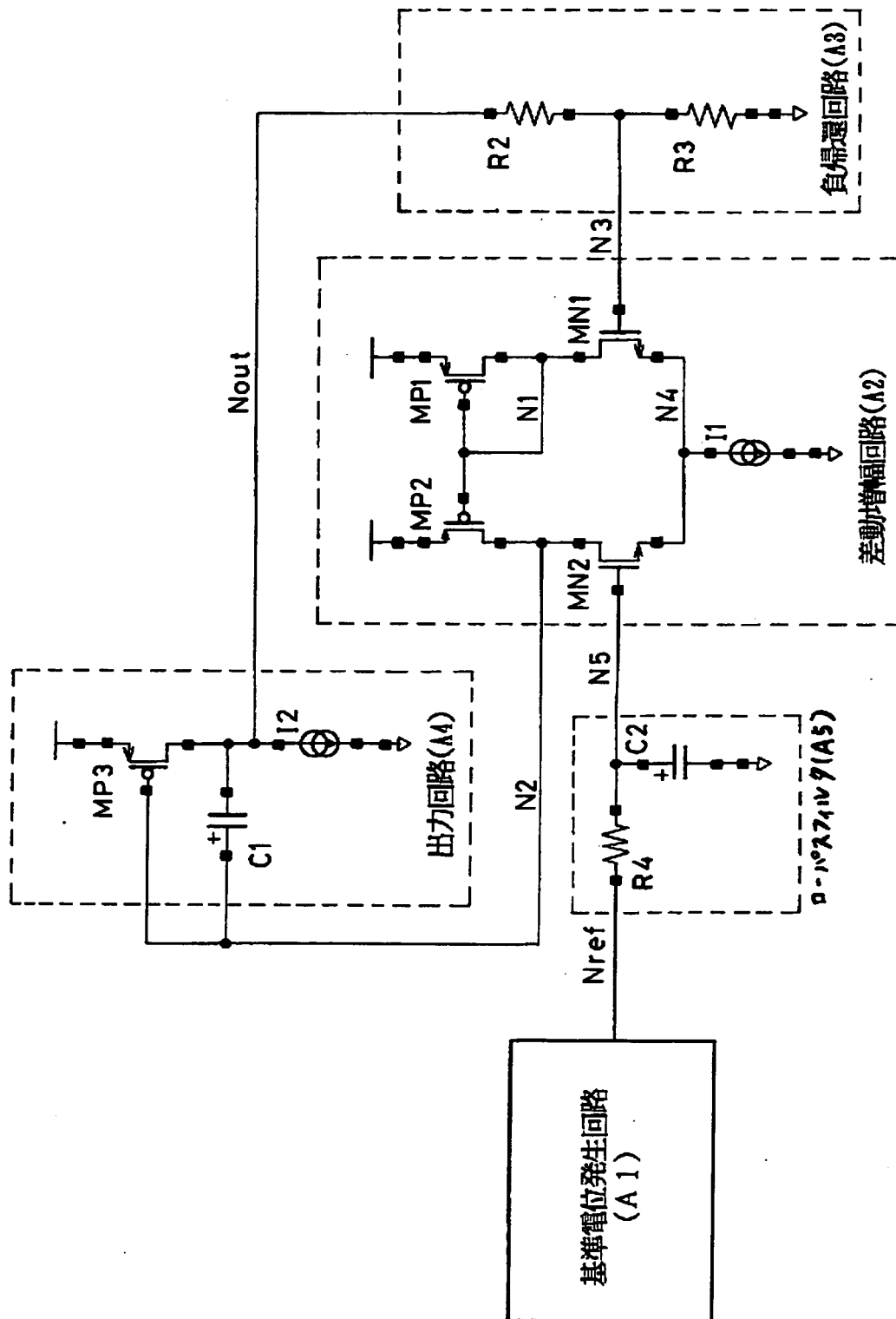
他の実施形態に係る定電圧発生回路の回路構成を示す接続図である。

【符号の説明】

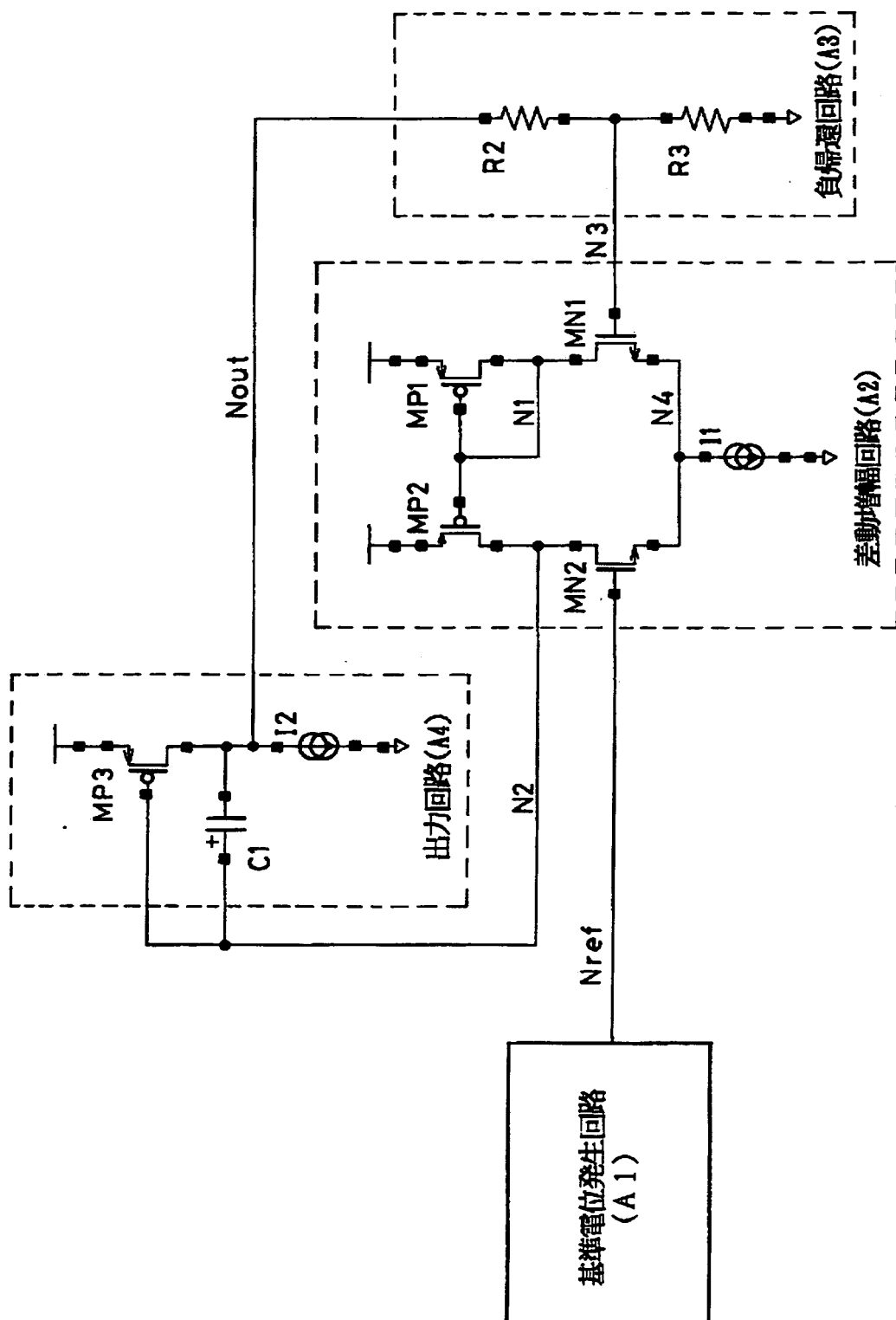
A1…基準電位発生回路、A2…差動増幅回路、A3…負帰還回路、A4…出力回路、A5…ローパスフィルタ。

【書類名】 図面

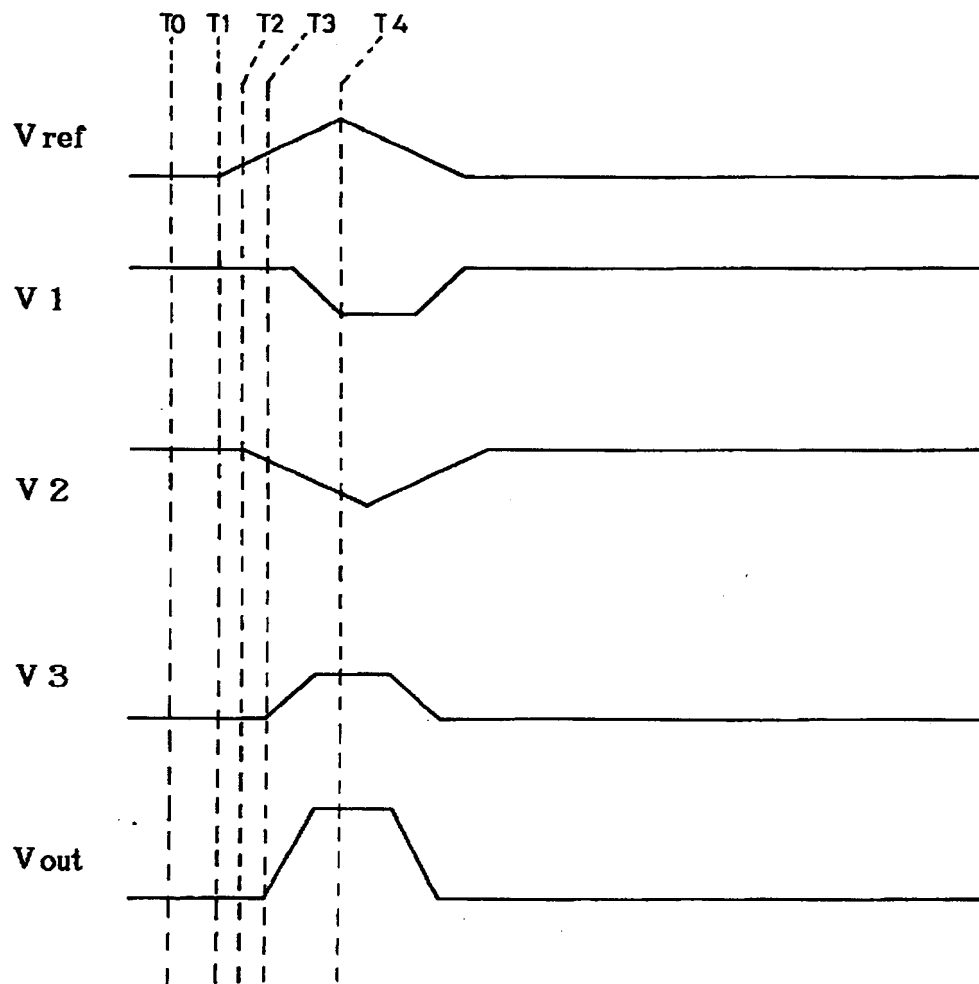
【図1】



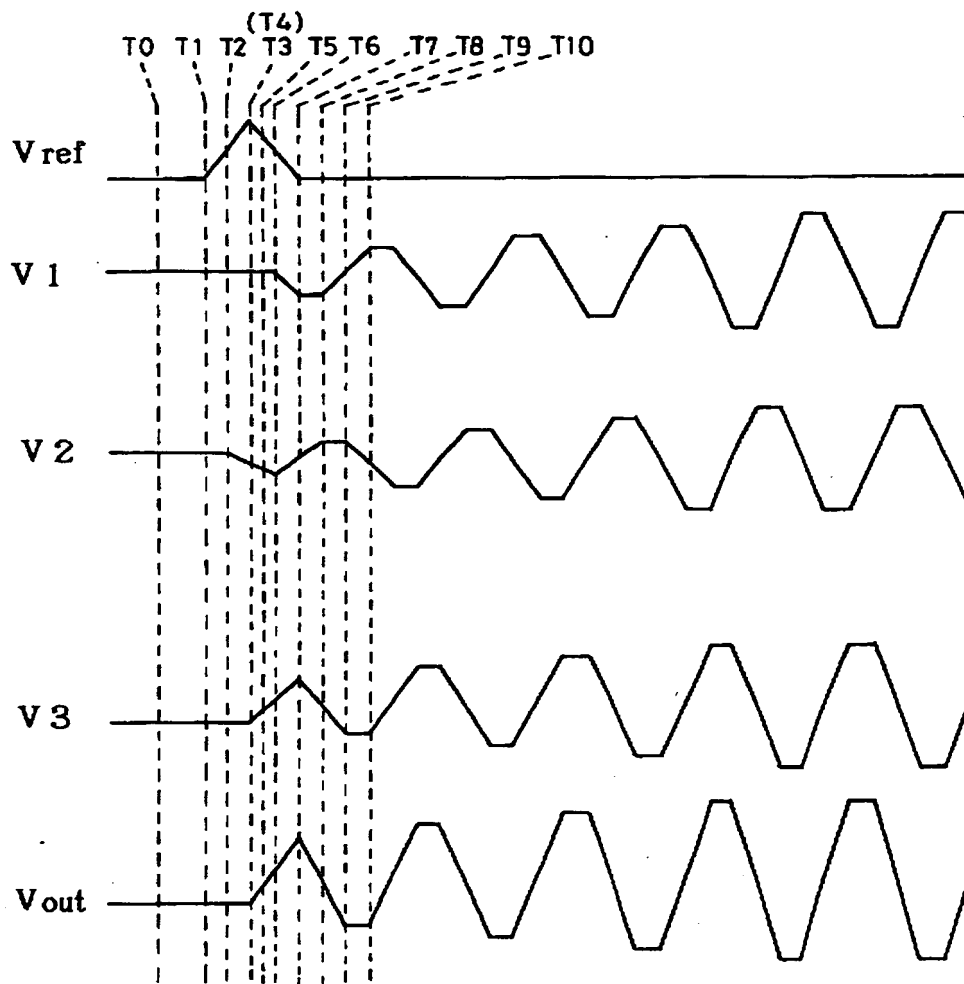
【図2】



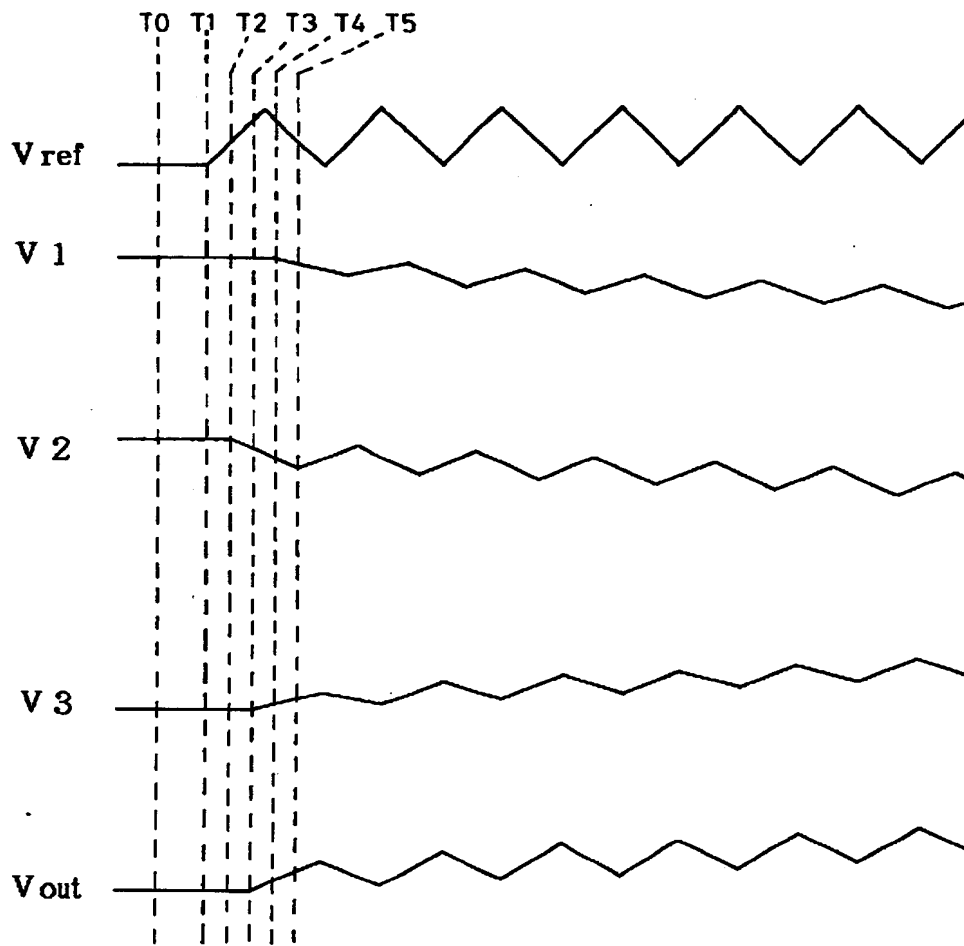
【図3】



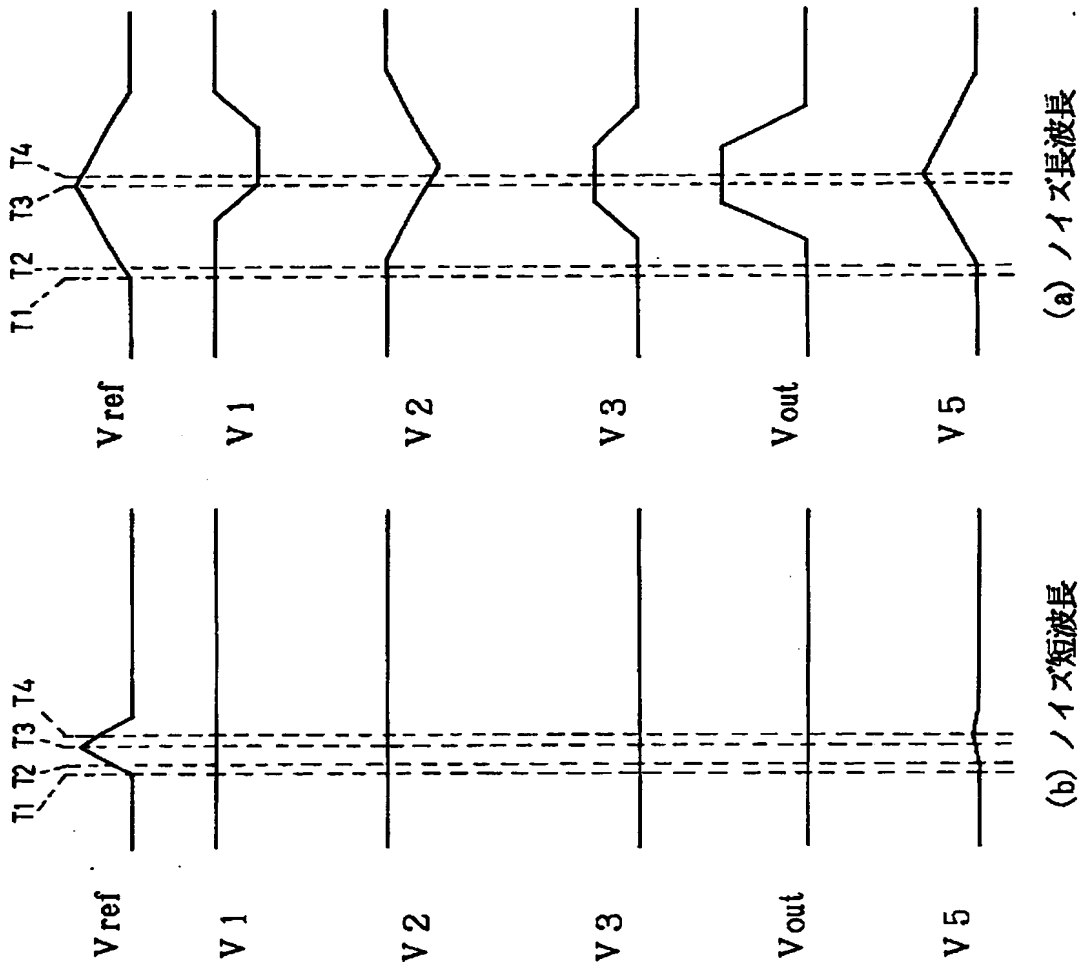
【図4】



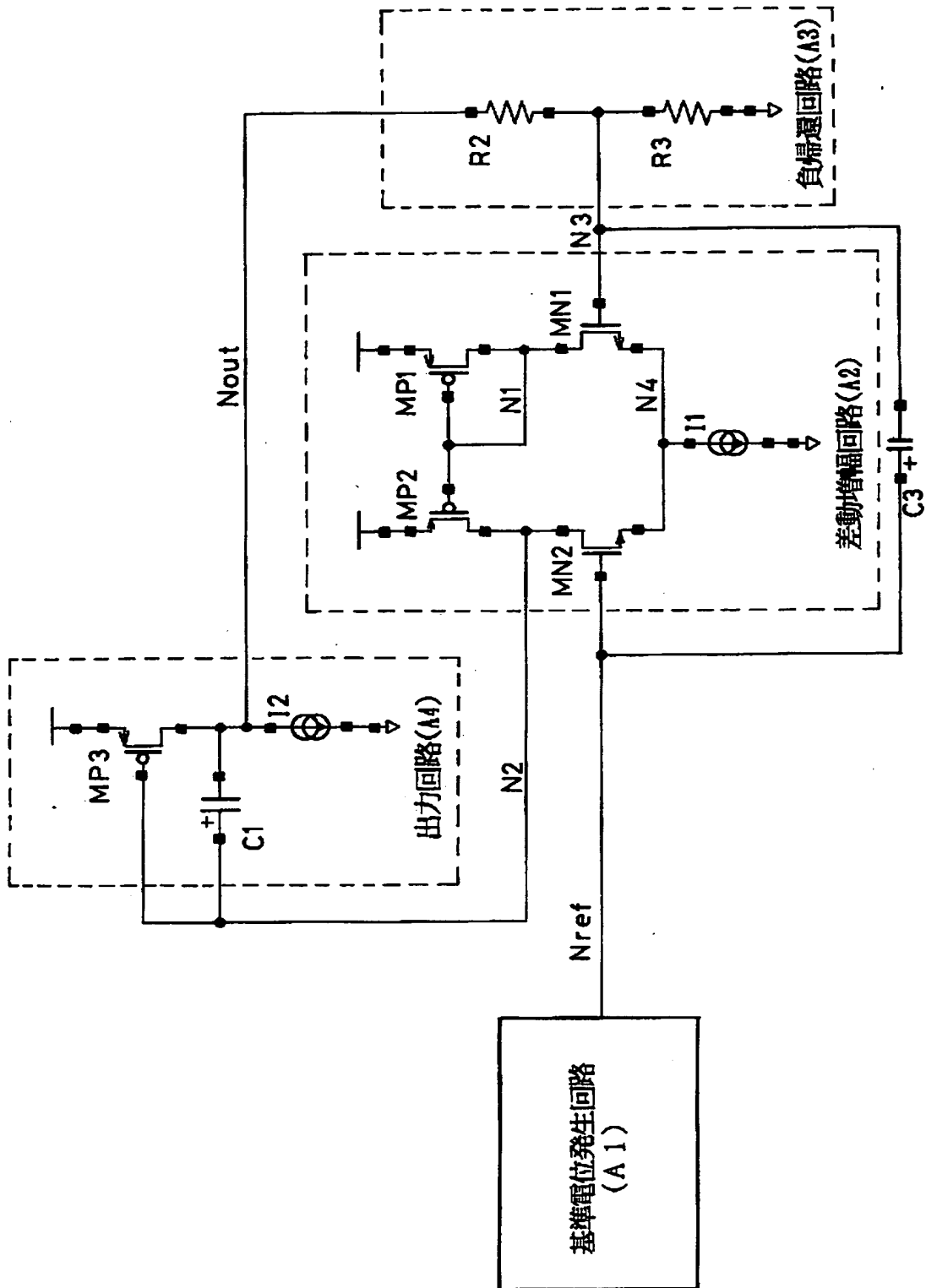
【図5】



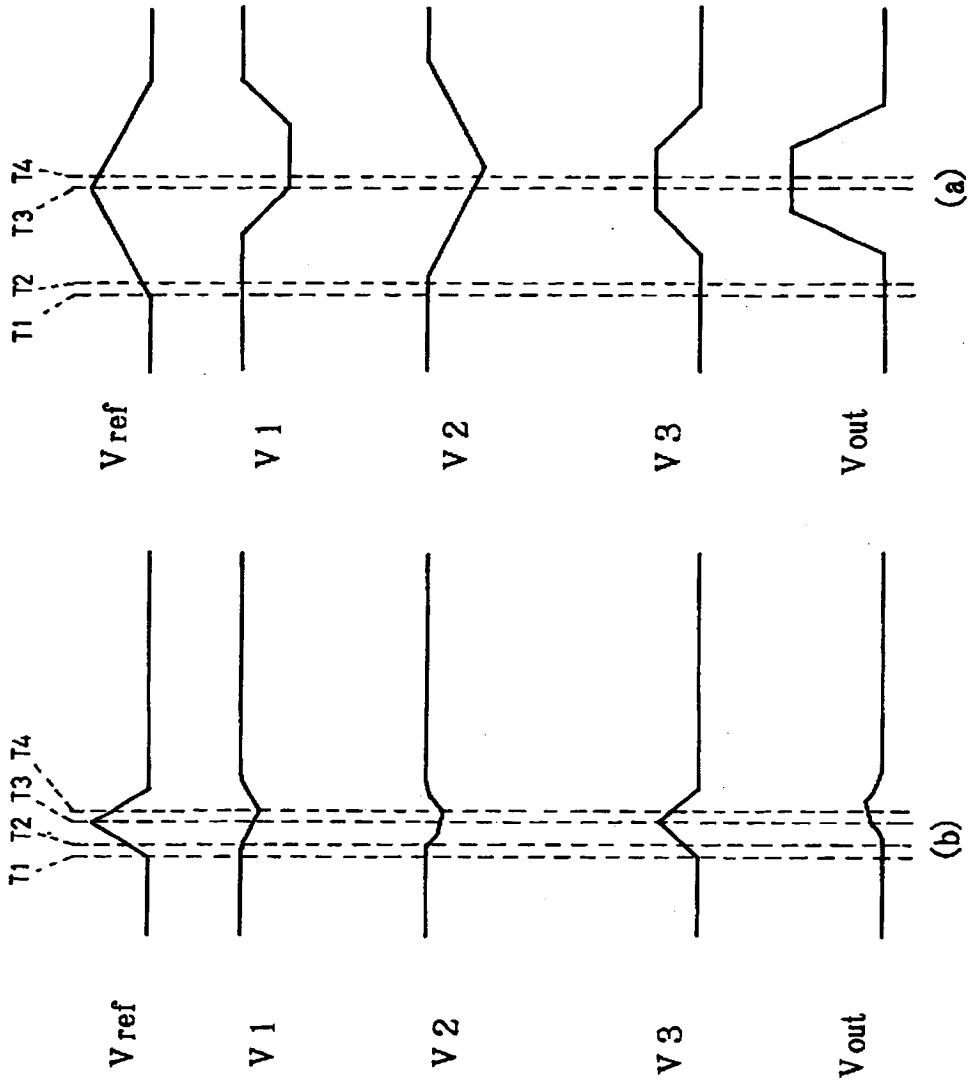
【図6】



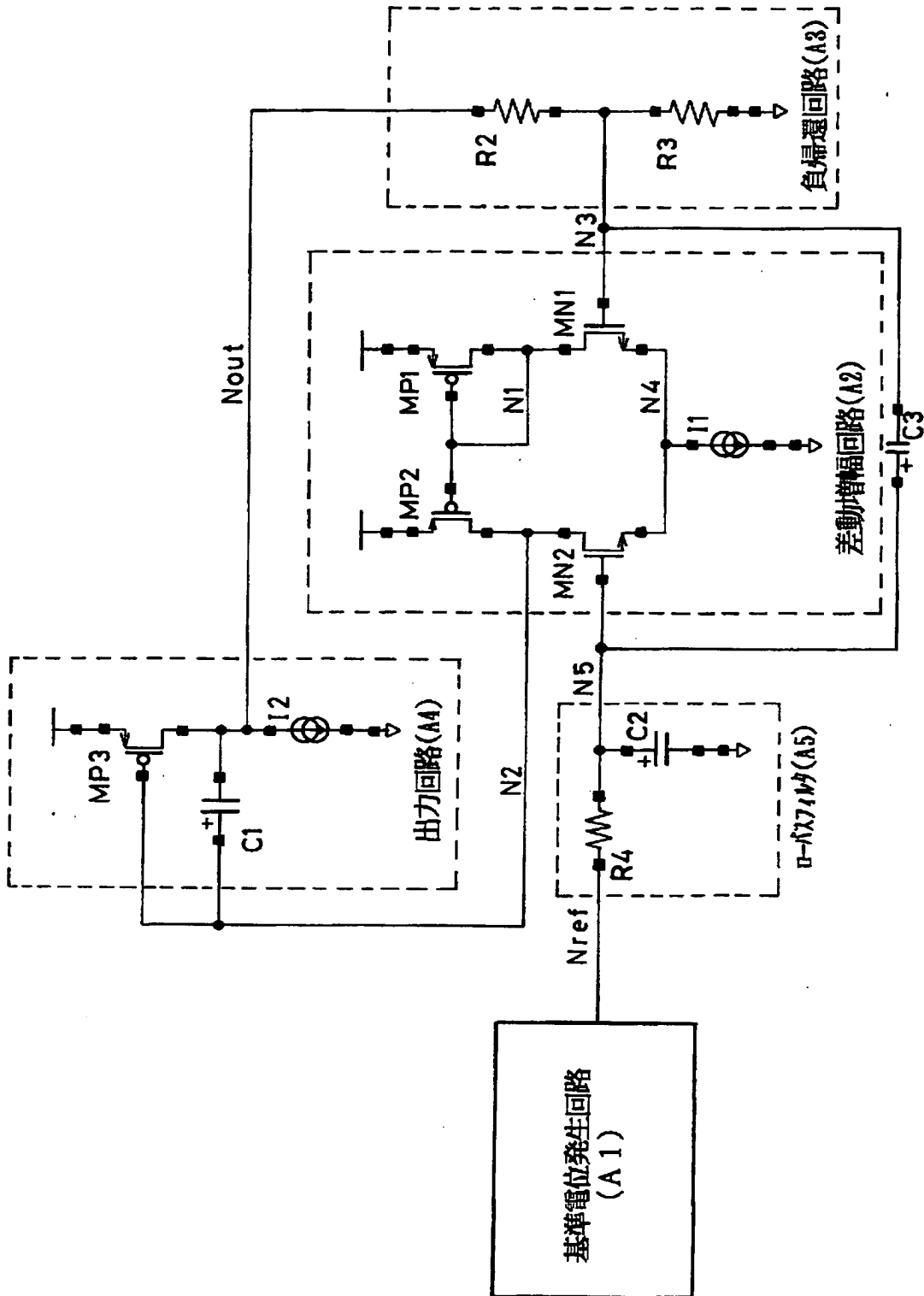
【图 7】



【图8】



【図9】



【書類名】 要約書

【要約】

【課題】 基準電位に波長の短い電位変動が重畳すると、その波長によっては発生される出力電位が発振することがあった。

【解決手段】 出力回路より帰還回路を介して帰還した出力電位と、所定の基準電位との電位差を、差動増幅回路において検出し、当該電位差に基づいて、出力回路が発生する出力電位を一定に制御する定電圧発生回路に、所定の基準電位より、波長の短い変動成分を除去する低域通過特性回路を備えるようにする。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000000295

【住所又は居所】 東京都港区虎ノ門1丁目7番12号

【氏名又は名称】 沖電気工業株式会社

【代理人】 申請人

【識別番号】 100090620

【住所又は居所】 東京都豊島区南池袋2丁目41番8号 池袋睦ビル
2階 工藤特許事務所

【氏名又は名称】 工藤 宣幸

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社